

М.В. Слесарев, С.В. Юрлин (ЗАО «МЦСТ»)

M. Slesarev, S. Yurlin

**ОПРЕДЕЛЕНИЕ РАСЧЁТНОЙ ЧАСТОТЫ ЭМУЛЯЦИИ МИКРОПРОЦЕССОРА В
ПРОТОТИПЕ НА ОСНОВЕ ПЛИС**

**DETERMINATION OF THE ESTIMATED EMULATION FREQUENCY OF THE
MICROPROCESSOR IN FPGA-BASED PROTOTYPE**

Рассматривается влияние интерфейса передачи данных между ПЛИС на частоту эмуляции микропроцессора в прототипе. Учитывается сериализация и десериализация данных при большой ширине логических шин. Приводятся ограничения частоты эмуляции в прототипе, основанные на физических ограничениях ПЛИС.

The article examines the impact of the data interface between the FPGA on frequency of emulating microprocessor in the prototype. Described serialization and deserialization of high width of logical data. Detected the limitation of emulation frequency in prototype based on the physical limitations of the FPGA.

Ключевые слова: ПЛИС, прототипирование, прототип, микропроцессор, частота, интерфейс, сериализация, десериализация.

Keywords: FPGA, prototyping, prototype, microprocessor, frequency, interface, serialization, deserialization.

Введение

Процессу проектирования современных микропроцессоров свойственно постоянное увеличение количества вычислительных ядер при усложнении подсистемы памяти, добавлении режимов работы, росте пропускной способности межпроцессорных связей и связей ввода-вывода. Как следствие, необходимым условием функциональной верификации микропроцессора на уровне регистровых передач (Register transfer level, RTL) является верификация в составе вычислительной системы.

В связи с тем, что определяющей задачей функциональной верификации является наиболее полное тестовое покрытие RTL-описания, существенным фактором становится сокращение времени тестирования, особенно значимое в условиях жесткой конкуренции ведущих производителей микропроцессоров. В современной проектной практике эта задача решается путем применения специальных аппаратных средств, в качестве которых используются прототипы разрабатываемых изделий на основе ПЛИС. Анализ доступных на рынке прототипов показывает возможность улучшения их эксплуатационных характеристик. Обеспечить это позволяет учет структуры проектируемого микропроцессора и его окружения.

При прототипировании многоядерных микропроцессоров емкости одной ПЛИС недостаточно для конфигурации всей системы, поэтому необходимо использовать набор ПЛИС. В табл. 1 приведены оценки доступных на момент исследования микросхем [1–4].

Таблица 1

Сравнение ПЛИС

	Altera Stratix IV	Xilinx Virtex-6
Количество логических элементов ПЛИС (LE)	813 000	758 000
Количество логических элементов микропроцессора на один ПЛИС (Mgates)	20-30	17-27
Количество контактов ввода/вывода	1120	1200
Минимально необходимое количество микросхем для четырёхъядерного микропроцессора серии «Эльбрус»	9,3	10,1
Минимально необходимое количество микросхем для восьмиядерного микропроцессора серии «Эльбрус»	27,4	29,6

Применение нескольких ПЛИС для эмуляции одной системы требует разделения её RTL-описания на блоки, каждому из которых соответствует одна ПЛИС. Оно должно проводиться таким образом, чтобы количество логических связей к другим блокам было минимальным, а объём блока допускал его представление внутри одной микросхемы [5–7]. Однако даже в этих условиях количество логических связей значительно больше контактов ввода/вывода ПЛИС (для одного из блоков RTL-описания восьмиядерного микропроцессора серии «Эльбрус» было получено соотношение 5 к 1). Малое количество до-

ступных контактов, а значит и проводников в линии связи, требует применение различных методов сериализации. В результате растёт время на передачу данных между ПЛИС, что снижает производительность прототипа.

Передача данных между ПЛИС

Особенности

Корректное функционирование прототипа требует передачи и обработки состояний всех логических связей между смежными парами блоков RTL-описания ($N_{\text{лог.св}}$) в каждом такте микропроцессора (рис. 1).

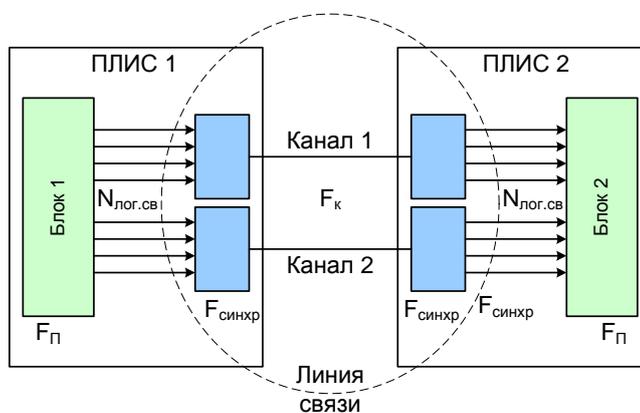


Рис. 1

Схема организации линии связи

Определим *линию связи* двух ПЛИС как набор *каналов* передачи данных, общее число которых равно $W_{\text{лин.св}}$. Каждый канал соответствует одному из интерфейсов ПЛИС, характеризуемому «шириной» – количеством цепей, по которым одновременно передаются биты данных, $W_{\text{к}}$. Это количество отличается для различных интерфейсов, например, у LVDS оно равно 1, у SSTL – до 9. Чтобы упростить анализ, будем считать, что в линии связи применяются интерфейсы одного типа.

Для оценки загруженности одного канала введём *коэффициент сериализации* $K_{\text{сер}}$ – количество логических связей, состояние которых необходимо передавать по каждой цепи канала данных при соединении двух микросхем линией связи. Его дробное значение озна-

чает неполную загрузку одного или нескольких каналов. Время передачи данных по линии связи определяется задержкой передачи самого загруженного канала, поэтому целесообразно говорить о значении коэффициента сериализации, которое больше расчётного значения и находится в области натуральных чисел:

$$K_{сер} = \left\lceil \frac{N_{лог.св.}}{W_{лин.св.} \cdot W_k} \right\rceil \quad (1)$$

Большинство высокоскоростных интерфейсов имеет встроенную аппаратную сериализацию, т.е. данные в канале передаются на более высокой частоте (частоте канала F_k), чем поступают со стороны логики на частоте синхронизации ($F_{синхр}$). *Коэффициент сериализации физического уровня* – количество логических связей, состояние которых может быть передано по каждой цепи канала за один такт синхронизации, равен:

$$K_{сер.ф.ур.} = \frac{F_k}{F_{синхр}} \quad (2)$$

Обычно количество логических связей больше, чем может быть передано через линию связи за один такт синхронизации, следовательно, их надо разбить на несколько пакетов. Число тактов (и число пакетов) $N_{пакетов}$, необходимое для передачи всех данных, равно отношению (3). Дробное значение этого коэффициента означает неполную загрузку одного или нескольких каналов в линии связи. Его необходимо округлять в большую сторону до целого числа, поскольку для передачи остатка данных требуется дополнительный такт синхронизации.

$$N_{пакетов} = \left\lceil \frac{K_{сер.}}{K_{сер.ф.ур.}} \right\rceil \quad (3)$$

На рис. 2 приведен пример временной диаграммы передачи 24 бит данных между двумя ПЛИС, сформированных по переднему фронту синхроимпульса эмуляции, по каналам на основе интерфейсов LVDS, передающих по 6 бит данных за такт синхронизации, и SSTL – по 2 бит за такт. На ней отмечены длительности всех этапов передачи данных: обработки данных эмулируемой логикой и распространения подлежащих передаче данных

по ПЛИС до передатчиков ($t_{уст}$), параллельно-последовательного преобразования и отправки ($t_{отпр}$), распространения в среде передачи ($t_{распр}$), последовательной записи в приёмник пакетов данных ($t_{зап}$), приёма и последовательно-параллельного преобразования ($t_{приёма}$), а также распространения полученных на приёмнике данных по ПЛИС и их обработки эмулируемой логикой ($t_{уст}$). Первый и последний этап передачи функционально схожи, поэтому обозначаются одинаково. При этом, рассматривая влияние на этот процесс интерфейсных схем, введем характеристику канала:

$$D_{отпр/приёма} = D_{отпр} + D_{приёма} \quad (4),$$

где все величины определяют время соответствующих этапов в тактах синхронизации ($D_{отпр}$ соответствует $t_{отпр}$, а $D_{приёма}$ – $t_{приёма}$). В этой характеристике не учитывается время распространения пакетов в среде передачи и их запись в приемник. Надёжность процесса обеспечивается заключительной передачей контрольного пакета группы с суммой всех предыдущих пакетов по модулю 2, по времени совмещенной с $t_{приёма}$.

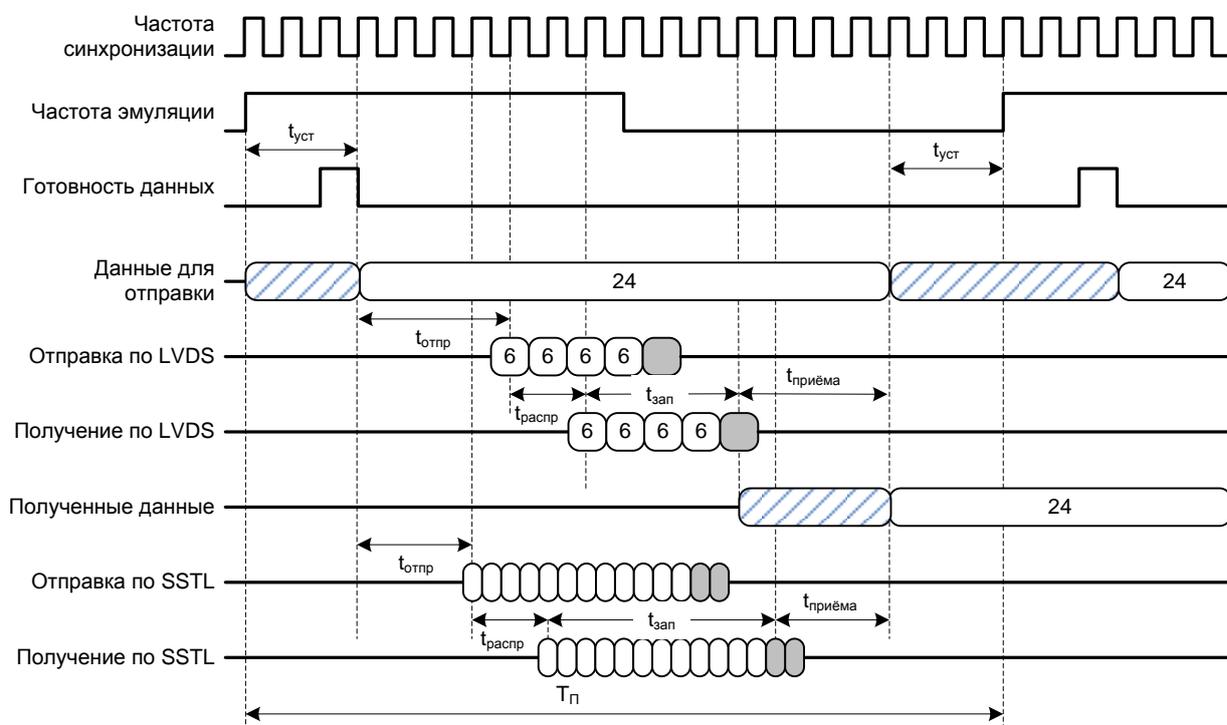


Рис. 2

Временная диаграмма передачи данных между двумя ПЛИС

Выбор интерфейса передачи данных

Повышение скорости эмуляции требует сокращения времени передачи данных между ПЛИС прототипа. Этого можно достичь использованием высокоскоростных стандартных интерфейсов или непосредственным применением схем физического уровня, дополненных логикой группирования пакетов. При этом особо существенны следующие их характеристики:

- количество оборудования, необходимого для реализации логической части интерфейсов в ПЛИС;
- пропускная способность;
- количество используемых контактов ПЛИС.

Высокоуровневые интерфейсы не лучшим образом подходят для прототипирования из-за их объёмной логической части. Она снижает ёмкость прототипа, непосредственно предназначенную для эмуляции микропроцессора. Кроме того, сложность алгоритмов установки соединения и маршрутизации приводит к недопустимому увеличению времени передачи данных. На данный момент приемлемых характеристик прототипа можно достичь только непосредственным применением схем физического уровня определенной ПЛИС и связанной с ними упрощенной логики, которые совместно будут обозначаться как «базовый стандартный интерфейс ПЛИС». Его пропускная способность в основном определяется частотой передачи, временем отправки и приёма пакета, а также протоколом группировки пакетов. При этом условии следует иметь в виду то обстоятельство, что увеличению частоты канала сопутствуют большие задержки при передаче пакетов (табл. 2). В табл. 2 аббревиатура ВСПП обозначает высокочастотные приёмо-передатчики (clock data recovery (CDR)-based transceivers), появившиеся в ПЛИС последних серий. Значения характеристики $D_{\text{отпр/приёма}}$ получены экспериментально. Дополнительным ограничением является фиксированная максимальная ширина линии связи. Она определяется возможностями ПЛИС.

Максимальные характеристики интерфейсов ПЛИС Altera

Интерфейс ПЛИС	F_k , МГц	$F_{\text{синхр}}$, МГц	$D_{\text{отпр/приёма}}$, такты	$K_{\text{сер.ф.ур.}}$	W_k	$W_{\text{лин.св}}$	Количество необходимых контактов
LVCМOS	100	100	2	1	1	140	140
LVDS	1200	200	8	6	1	66	132
SSTL	600	300	6	2	8	11	110
ВСПИ	10000	250	21	40	1	24	48

Заключению о предпочтительности физических параметров определенного интерфейса должна предшествовать оценка влияния этих параметров на частоту эмуляции микропроцессора.

Интерфейс прототипа

В прототипе для физического уровня каждого типа определены и применимы коэффициент сериализации, коэффициент сериализации физического уровня и время отправки/получения. Это делает алгоритм группировки пакетов индифферентным к типу применяемой аппаратной части интерфейса, хотя он, а также ширина линии связи, устанавливаемая на его основе, и будут определять темп передачи данных. Поэтому назовём *интерфейсом прототипа* – обобщенный интерфейс ПЛИС, в котором не специфицируется среда передачи, но определяется общий для всех её видов протокол, который полностью обеспечивает взаимодействие между ПЛИС. В силу специфики прототипирования реализация протокола должна быть аппаратной.

В работе интерфейсов прототипа выделяется два этапа: начальная настройка и непосредственно постоянная передача данных, которая прерывается только ошибками в линии связи или изменением конфигурации прототипа.

Синхронность всех блоков RTL-описания в прототипе – важная составляющая его работоспособности, по этой причине все передачи между ПЛИС осуществляются одновременно. В начальный момент времени, после включения питания или сброса прототипа,

эти условия не выполняются. Так как алгоритм группировки пакетов основан на частоте синхронизации, которая существенно выше частоты эмуляции, то появляется возможность синхронизовать фронт последней с точностью до периода первой.

Затем осуществляется тонкая настройка каналов – их тренировка. Её необходимость обусловлена особенностями высокоскоростных физических уровней и осуществляется для каждого канала в отдельности, что позволяет проводить независимую оценку их работоспособности и на ее основе динамически распределять данные между каналами в линии связи.

Надёжность функционирования такой системы определяется алгоритмом подстройки в процессе работы, а при его отсутствии – стабильностью начальной настройки. Практика показала, что начальная настройка и внутренние свойства физических уровней позволяют в достаточной степени гарантировать надёжность передачи данных даже при длительном использовании. Отсутствие реакции на редкие ошибки вынуждает периодически перезапускать работу прототипа. Чтобы этого избежать, необходимо при несовпадении контрольных сумм задерживать фронт синхросигнала эмуляции, с тем чтобы осуществить повторную передачу. Время, заложенное на распространение сигналов по ПЛИС и их обработку эмулируемой логикой до активного фронта, используется для создания соответствующих управляющих воздействий. Здесь необходимо отметить, что задерживать фронт очередного такта необходимо во всём прототипе одновременно.

Постоянная синхронность частот эмуляции в разных блоках RTL-описания требует одинаковой частоты синхронизации в каждой ПЛИС. Это может быть обеспечено путём использования одного генератора, выход которого разветвляется на необходимое число линий, что возможно только при небольших размерах системы. В противном случае дрожание сигнала может приводить к сбоям в работе. Поэтому в большой или распределённой системе необходимо использовать несколько генераторов. Из-за технологического разброса их частота будет незначительно отличаться, что при длительной работе приведёт

к смещению друг относительно друга фронтов частоты эмуляции в разных ПЛИС. Поддержание их синхронности обеспечивается кратковременными задержками фронтов частоты синхронизации опережающего ПЛИС.

Передача «точка-точка»

С учетом синфазности тактовых сигналов в ПЛИС прототипа будем полагать, что распространение сигнала данных по линии связи укладывается в один такт синхронизации, тогда время распространения сигнала не окажет влияния на период частоты микропроцессора. В этом случае отправка данных в линию связи начинается по фронту синхросигнала с регистра данных на последнем этапе отправки, а запись в приёмнике осуществляется в следующем такте. При этом время работы выходного и входного буферов интерфейсов может существенно ограничить длину линии связи (10 см против 1,5 м).

Таким образом, период синхросигнала эмуляции микропроцессора в прототипе определяется по формуле:

$$T_{II} = (2 \cdot D_{уст} + D_{отпр/приёма} + N_{пакетов}) \cdot T_{синхр} = FMR \cdot T_{синхр}, \quad (5)$$

где в единицах измерения, равных количеству тактов синхронизации, заданы: суммарная длительность распространения данных и их обработки эмулируемой логикой в передающей и принимающей ПЛИС ($2 \cdot D_{уст}$); длительность параллельно-последовательного преобразования, отправки, приёма и последовательно-параллельного преобразования ($D_{отпр/приёма}$); длительность последовательной записи в приёмник пакетов данных ($N_{пакетов}$); результирующее количество тактов аппаратной модели, необходимое для эмуляции одного такта микропроцессора (FMR).

Полученная формула справедлива при работе микропроцессора только по переднему фронту синхросигнала в том случае, когда связанная комбинационная логика не требует обратной передачи данных между ПЛИС в пределах того же такта. Работа микропроцессора по обоим фронтам синхросигнала и необходимость обратной связи в интервале меж-

ду ними могут уменьшить частоту эмуляции в четыре раза.

На основе данных табл. 2 и вычислений по формуле (5) для различных интерфейсов между ПЛИС были построены графики зависимости частоты эмуляции микропроцессора в прототипе от количества используемых контактов ввода/вывода (рис. 3) и от количества логических связей (рис. 4). За допустимое количество трасс была взята половина доступных для использования на одной стороне ПЛИС контактов, тем самым обеспечена возможность дуплексной передачи между микросхемами по четырём направлениям. Для расчетов использовалось наибольшее количество логических связей в одном направлении между блоками RTL-описания восьмиядерного микропроцессора серии «Эльбрус», округлённое в большую сторону (2000). Из графиков видно, что использование интерфейсов ПЛИС типа LVDS и SSTL с минимизированной для передачи данных логикой приводит к более высокой частоте эмуляции за счёт большего количества контактов, однако, ВСПП лучше сохраняют частоту эмуляции при увеличении количества передаваемых данных.

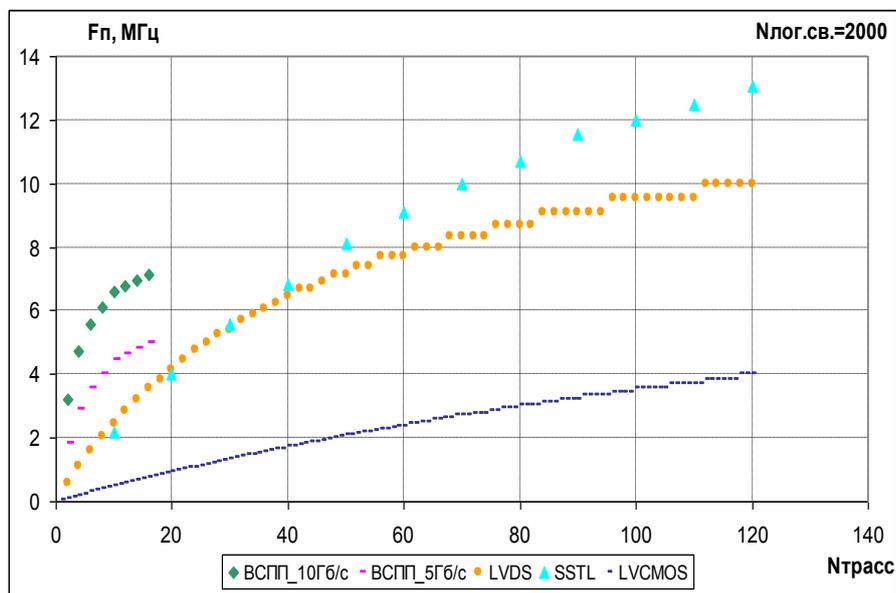


Рис. 3

График зависимости частоты эмуляции на прототипе от количества трасс для различных интерфейсов

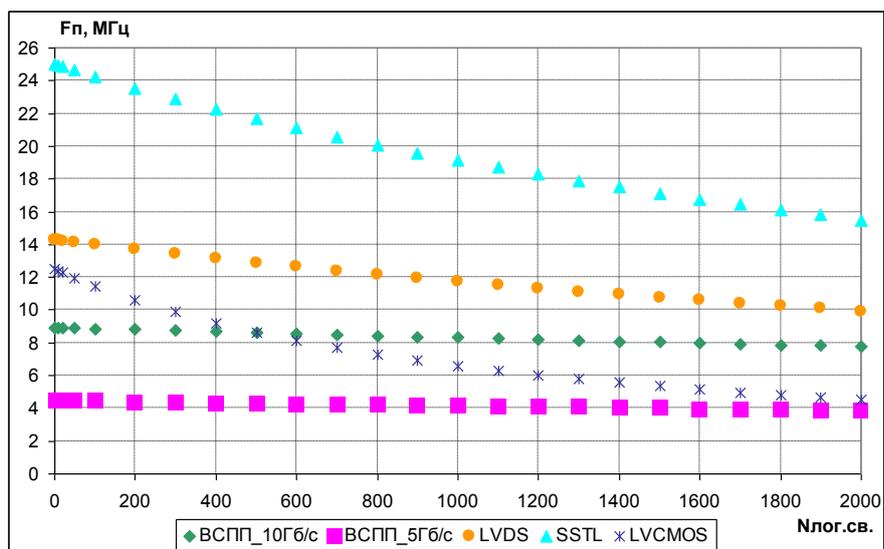


Рис. 4

График зависимости частоты эмуляции на прототипе от количества логических связей для различных интерфейсов

Заключение

Большое количество логических связей, состояния которых необходимо передавать между ПЛИС в прототипе микропроцессора, и недостаточное число контактов ввода/вывода накладывают ограничения на частоту эмуляции. В статье рассмотрены принципы передачи данных с применением различных интерфейсов ПЛИС. Определена зависимость частоты эмуляции микропроцессора в прототипе от ширины линии связи между ПЛИС и пропускной способности интерфейса. Благодаря полученным данным становится возможным прогнозировать характеристики прототипов ещё до их физической реализации и производить коррекцию структуры связей для увеличения частоты эмуляции микропроцессора.

Литература

1. Xilinx Inc. – Virtex-6 Family Overview – Product Specification, 2012.
2. Xilinx Inc. – 7 Series FPGAs Overview – Product Specification, 2012.
3. Altera Corp. – Stratix IV Device Handbook, 2012.

4. Altera Corp. – Stratix V Device Handbook, 2012.
5. Бычков И.Н. – Разработка методов и средств диагностики, повышающих эффективность верификации модулей вычислительной техники: Дис. ... канд. техн. наук / МФТИ – М., 2007.
6. Будылин Ф.К., Полищук И.А., Слесарев М.В., Юрлин С.В. Опыт прототипирования микропроцессоров компании ЗАО «МЦСТ». – «Вопросы радиоэлектроники», сер. ЭВТ, 2012, вып. 3, с. 132–142.
7. Sameh Asaad, Ralph Bellofatto, Bernard Brezzo, Chuck Haymes, Mohit Kapur, Benjamin Parker, Thomas Roewer, Proshanta Saha, Todd Takken, José Tierno. A Cycle-accurate, Cycle-reproducible multi-FPGA System for Accelerating Multi-core Processor Simulation – FPGA, p. 153-162. ACM, 2012.